

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314387
 (43)Date of publication of application : 25.10.2002

(51)Int.Cl. H03K 5/26
 H03L 7/089

(21)Application number : 2001-116454 (71)Applicant : NIPPON TELEGR & TELEPH CORP
 <NTT>

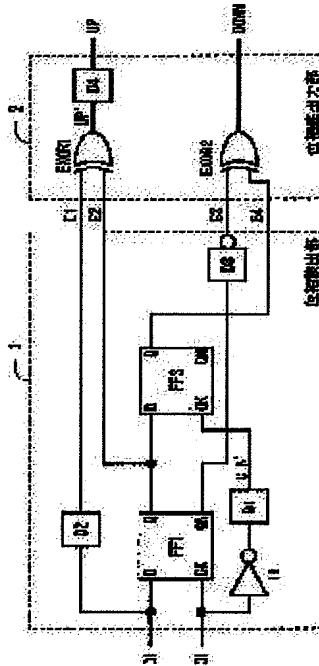
(22)Date of filing : 16.04.2001 (72)Inventor : OTOMO YUSUKE

(54) PHASE COMPARATOR CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To output the phase difference between a data input signal DI and a clock input signal CI with high accuracy when the phase difference is outputted as the difference of a pulse width between an UP signal and a DOWN signal.

SOLUTION: In this phase comparator circuit in which a terminal Q of a flip-flop circuit FF1 is connected to a terminal D of a flip-flop circuit FF2, an EXOR1 obtains an exclusive-OR of signals of the terminal D and the terminal Q of the flip-flop circuit FF1 and generates the UP signal, an EXOR2 obtains an exclusive-OR of a signal obtained by inverting the signal of a terminal QN of the FF1 and the signal of a terminal Q of the FF2 and generates a DOWN signal, and a phase difference between a D input and a CK input of the FF1 is detected according to the pulse width difference between the UP signal and the DOWN signal, a delay circuit D1 is connected between the terminal D of the FF1 and one input of the EXOR1, an inverted delay circuit D3 is connected between the terminal QN of the FF1 and one input of the EXOR2, and a delay circuit D4 is connected to an output of the EXOR1.



LEGAL STATUS

[Date of request for examination] 10.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3770378

[Date of registration] 17.02.2006

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-314387

(P2002-314387A)

(43)公開日 平成14年10月25日 (2002.10.25)

(51)Int.Cl.⁷

H 03 K 5/26

H 03 L 7/089

識別記号

F I

テ-マコート^{*}(参考)

H 03 K 5/26

P 5 J 0 3 9

H 03 L 7/08

D 5 J 1 0 6

(21)出願番号

特願2001-116454(P2001-116454)

(22)出願日

平成13年4月16日 (2001.4.16)

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72)発明者 大友 祐輔

東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内

(74)代理人 100083194

弁理士 長尾 常明

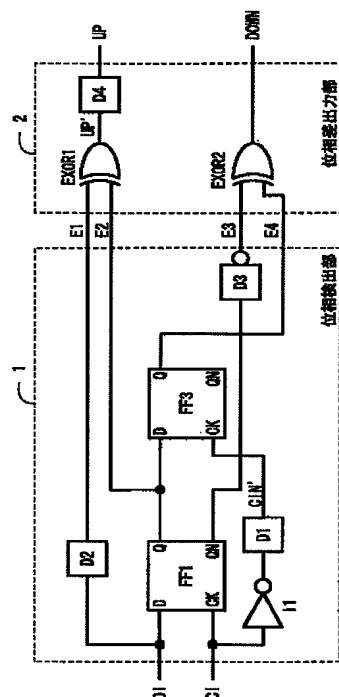
最終頁に続く

(54)【発明の名称】 位相比較回路

(57)【要約】

【課題】 データ入力信号D Iとクロック入力信号C Iの位相差をUP信号とDOWN信号のパルス幅の差として出力するとき、高い精度で出力する。

【解決手段】 フリップフロップ回路FF 1の端子Qとフリップフロップ回路FF 2の端子Dを接続し、FF 1の端子Dと端子Qの信号の排他的論理和をEXOR 1で得てUP信号を生成し、FF 1の端子QNの信号を反転した信号とFF 2の端子Qの排他的論理和をEXOR 2で得てDOWN信号を生成し、これらUP信号とDOWN信号のパルス幅の差によりFF 1のD入力とCK入力の位相差を検出す位相比較回路において、FF 1の端子DとEXOR 1の一方の入力との間に遅延回路D 1を接続し、FF 1の端子QNとEXOR 2の一方の入力との間に反転遅延回路D 3を接続し、EXOR 1の出力に遅延回路D 4を接続する。



【特許請求の範囲】

【請求項1】第1の入力信号がデータ入力端子に接続され第2の入力信号がクロック入力端子に接続される第1のフリップフロップ回路と、該第1のフリップフロップ回路のデータ出力端子がデータ入力端子に接続され前記第2の入力信号の反転信号がクロック入力端子に接続される第2のフリップフロップ回路と、前記第1のフリップフロップ回路のデータ入力端子とデータ出力端子が2個の入力端子に各々接続される第1の排他的論理回路と、前記第1のフリップフロップ回路の反転データ出力端子と前記第2のフリップフロップ回路のデータ出力端子が2個の入力端子に各々接続される第2の排他的論理回路を有する位相比較回路において、

前記第1のフリップフロップ回路のデータ入力端子と前記第1の排他的論理回路の一方の入力端子との間に第1の遅延回路を挿入し、前記第1のフリップフロップ回路の反転データ出力端子と前記第2の排他的論理回路の一方の入力端子との間に第1の反転遅延回路を挿入し、前記第1の排他的論理回路の出力端子に第2の遅延回路を接続したことを特徴とする位相比較回路。

【請求項2】請求項1の位相比較回路において、

前記第1の反転遅延回路を削除して前記第1のフリップフロップ回路の反転データ出力端子と前記第2の排他的論理回路の前記一方の入力端子との間を開放し、且つ前記第1のフリップフロップ回路のデータ出力端子と前記第2の排他的論理回路の前記一方の入力端子との間に第3の遅延回路を接続したことを特徴とする位相比較回路。

【請求項3】請求項1の位相比較回路において、

前記第1の入力信号の反転信号がデータ入力端子に接続され前記第2の入力信号がクロック入力端子に接続される第3のフリップフロップ回路と、該第3のフリップフロップ回路のデータ出力端子がデータ入力端子に接続され前記第2の入力信号の反転信号がクロック入力端子に接続される第4のフリップフロップ回路と、前記第3のフリップフロップ回路のデータ入力端子に接続される第4の遅延回路と、前記第3のフリップフロップ回路の反転データ出力端子に接続される第2の反転遅延回路とを設け、

且つ、前記第1の排他的論理回路を、前記第1の遅延回路の出力信号、前記第4の遅延回路の出力信号、前記第1のフリップフロップ回路のデータ出力端子の信号、および前記第3のフリップフロップ回路のデータ出力端子の出力信号を入力して排他的論理と処理を行う第3の排他的論理回路に置換し、

前記第2の排他的論理回路を、前記第1の反転遅延回路の出力信号、前記第2の反転遅延回路の出力信号、前記第2のフリップフロップ回路のデータ出力端子の信号、および前記第4のフリップフロップ回路のデータ出力端子の信号を入力して排他的論理と処理を行う第4の

排他的論理回路に置換したことと特徴とする位相比較回路。

【請求項4】請求項3の位相比較回路において、前記第1の反転遅延回路を削除して前記第1のフリップフロップ回路の反転データ出力端子と前記第4の排他的論理回路との間を開放し、且つ前記第1のフリップフロップ回路のデータ出力端子に第3の遅延回路を接続して該第3の遅延回路の出力信号を前記第1の反転遅延回路の出力信号に代えて前記第4の排他的論理回路に入力させ、

前記第2の反転遅延回路を削除して前記第3のフリップフロップ回路の反転データ出力端子と前記第4の排他的論理回路との間を開放し、且つ前記第3のフリップフロップ回路のデータ出力端子に第5の遅延回路を接続して該第5の遅延回路の出力信号を前記第2の反転遅延回路の出力信号に代えて前記第4の排他的論理回路に入力させるようとしたことを特徴とする位相比較回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロッククリカバリ回路やフェーズロックループ（PLL）回路等に用いられ、2個の入力信号間位相差に比例した幅のパルスを出力する線形位相比較回路において、特に、2個の入力信号間の位相差を高精度に出力パルス幅に変換し得る位相比較回路に関するものである。

【0002】

【従来の技術】従来の位相比較回路を図6を用いて説明する（参考文献：A Self Correcting Clock Recovery Circuit, C.R.Hogge,Jr.著, IEEE Journal of Lightwave Technology, vol.LT-3, pp.1312-1314, December 1985）。従来の位相比較回路は位相検出部5と位相差出力部6からなる。位相検出部5は2個のフリップフロップ回路FF1, FF3、インバータ回路I1により構成され、また、位相差出力部6は2個の排他的論理回路EXOR1, EXOR2から構成される。

【0003】従来の位相比較回路の接続を説明する。位相検出部5はデータ入力端子DIとクロック入力端子CIおよび4つの位相信号出力端子E1, E2, E3, E4を持ち、データ入力端子DIはフリップフロップ回路FF1のデータ入力端子Dおよび位相信号出力端子E1に接続され、クロック入力端子CIはフリップフロップ回路FF1のクロック入力端子CKおよびインバータ回路I1の入力端子に接続されている。

【0004】フリップフロップ回路FF1のデータ出力端子Qはフリップフロップ回路FF3のデータ入力端子Dと位相信号出力端子E2, E3に接続されている。インバータ回路I1の出力端子はフリップフロップ回路FF3のクロック入力端子CKに接続され、フリップフロップ回路FF3のデータ出力端子Qは位相信号出力端子信号E4に接続されている。

【0005】位相差出力部6は位相信号入力端子E1, E2, E3, E4とUP信号の出力端子UPとDOWN信号の出力端子DOWNを持つ。位相検出部5の位相信号出力端子E1, E2, E3, E4は各々位相差出力部6の位相信号入力端子E1, E2, E3, E4に接続され、位相信号入力端子E1とE2は排他的論理和回路EXOR1の2個の入力に各々接続され、位相信号入力端子E3とE4は排他的論理和回路EXOR2の2個の入力に各々接続されている。排他的論理和回路EXOR1の出力端子は位相差出力部6の出力端子UPに接続され、排他的論理和回路EXOR2の出力端子は位相差出力部6の出力端子DOWNに接続される。出力端子UP, DOWNは位相検出回路の出力端子である。

【0006】従来の位相比較回路の動作を図7と図8を用いて説明する。位相比較回路は、データ入力信号DIとクロック入力信号CIの位相差を、出力信号UPのパルス時間幅と出力信号DOWNのパルス時間幅の差として出力する回路である。出力信号DOWNのパルス幅はクロック周期の2分の1に一定に保たれる。データ入力信号DIに対してクロック入力信号CIの位相が進んだ時には、その進んだ時間差だけ信号UPのパルス幅が信号DOWNのパルス幅より狭くなることで位相関係を表示する。また、データ入力信号DIに対してクロック入力信号CIの位相が遅れた時には、その遅れた時間差だけ信号UPのパルス幅が信号DOWNのパルス幅より太くなることで位相関係を表示する。

【0007】図7は、データ入力信号DIとクロック入力信号CIが所望の位相関係にある場合のタイミングを示している。位相信号E1はデータ入力信号DIを使用して、データ入力信号DIの遷移する時点(位相)を位相差出力部6に伝える。位相信号E2は、クロック入力信号CIがハイレベルに遷移する時点(位相)を位相差出力部6に伝える。フリップフロップ回路FF1によりクロック入力信号CIがハイレベルに遷移する時点においてそのデータ出力信号Qがデータ入力信号DI(位相信号E1)の値に遷移するためである。位相差出力部6では、位相信号E1とE2を排他的論理和回路EXOR1に入力する。この排他的論理和回路EXOR1は、位相信号E1とE2の値が異なっている時間だけハイレベルパルスをUP信号として出力する。UP信号のパルス幅 t_{up} は、データ入力信号DIの遷移時点からクロック入力信号CIの立ち上がり時点までに相当し、データ入力信号DIとクロック入力信号CIの位相差を表す。

【0008】一方、位相信号E3はフリップフロップ回路FF1のデータ出力信号Qであり、クロック入力信号CIがハイレベルに遷移する時点(位相)の情報を持つ。位相信号E4はフリップフロップ回路FF3のデータ出力信号Qであり、クロック入力信号CIがローレベルに遷移する時点(位相)の情報を持つ。一般に、クロック入力信号CIのハイレベルとローレベルの時間比は

1対1であるため、位相信号E4は位相信号E3がクロック周期の2分の1だけ遅れた信号となる。よって、位相差出力部6のなかで、排他的論理和回路EXOR2を用いて位相信号E3とE4の排他的論理和が得られると、クロック周期の2分の1の時間幅(t_{down})を持つハイレベルパルスがDOWN信号として出力される。

【0009】以上説明した図7では、データ入力信号DIのちょうど中央にクロック入力信号CIの立ち上がりが位置しており両者間で位相差のない状態である。UP信号のパルス幅 t_{up} はクロック周期の2分の1となり、DOWN信号のパルス幅と等しくなっていることがわかる。

【0010】他方、図8では、クロック入力信号CIの立ち上がり位置がデータ入力の中央から $T/4$ (Tはクロックの1周期)進んだ所に位置している。この状態では、UP信号のパルス幅 t_{up} は $T/4$ となる。常に $T/2$ のパルス幅を持つDOWN信号と比較すると、 $T/4$ のパルス幅の差を出力してデータ入力信号DIに対してクロック入力信号が $T/4$ 進んでいることを表す。

【0011】

【発明が解決しようとする課題】ところが、従来の位相比較回路では、データ入力信号DIとクロック入力信号CIの位相差を精度良くUP信号とDOWN信号のパルス幅の差として出力できない問題がある。これは、フリップフロップ回路FF1, FF3と排他的論理和回路EXOR1, EXOR2の遅延時間によりUP信号とDOWN信号のパルス幅が位相差に関係なく増減するためである。従来の位相比較回路の動作を説明する際に用いた図7、図8は、回路の遅延時間を考慮しない場合の理想的なタイミング図であった。

【0012】図9に回路の遅延時間を考慮した場合のタイミング図を示した。図7に比較し、位相信号E2は、フリップフロップ回路FF1においてクロック入力信号CIが立ち上がってからデータ出力信号Qが出力するまでの時間 t_1 だけ、理想的な場合より遅延する。そして、UP信号には、排他的論理和回路EXOR1の遅延時間 $tdE11LH$ と $tdE12LL$ がそれぞれ立ち上がり時と降下時に現れる。ここで、 $tdE*\#LH$ は排他的論理和回路EXOR*(#は1又は2)の入力信号E#(#は1, 2, 3, 4のいずれか)がLに遷移した時間から、その出力信号がHに遷移するまでの遅延を示す。後尾2文字は、LLの場合には入力信号がLに遷移してから出力信号がLに遷移するまでの遅延のように入力信号の遷移方向と出力信号の遷移方向を表す。これらを区別しているのは、排他的論理和回路は一般に、各入力端子、入力信号遷移方向、出力信号遷移方向によりそれぞれ遅延時間が異なるためである。これらの回路遅延により、UP信号のパルス幅は、次の式

$$\Delta t_{up} = t_1 + tdE12LL - tdE11LH$$

に示される Δt_{up} だけ増大する。

【0013】一方、位相信号E3にも位相信号E2と同様の遅延t1が付加され、位相信号E4にはフリップフロップ回路FF3の出力遅延t3が付加される。遅延時間t1とt3はとともにフリップフロップ回路の出力回路遅延時間であるが、回路構成や出力ファンアウト数等に*

$$\Delta t_{down} = t_3 + tdE24LL -$$

に示される Δt_{down} だけ増大する。よって、UP信号とDOWN信号のパルス幅には Δt_{up} と Δt_{down} の差が生じ、データ入力信号DIとクロック入力信号CIの位相差を精度良く出力できない問題がある。

【0014】さらに、これらの回路遅延があるとUP信号が降下する時点がDOWN信号の立ち上がり時点より遅れる、あるいは、DOWN信号が降下する時点がUP信号の立ち上がり時点より遅れる問題が生じる。ここでは、一般に位相差出力部6の後段において使用するチャージポンプ回路は示さないが、UP信号とDOWN信号のパルスが重なるとチャージポンプ回路の出力電圧安定性が損なわれるばかりか、消費電力の増大をもたらす問題がある。

【0015】本発明は以上のような点に鑑みてなされたもので、その目的は、2つの入力信号の位相差をUP信号とDOWN信号のパルス幅の差として高い精度で出力できるようにした位相比較回路を提供することである。

【0016】

【課題を解決するための手段】上記課題を解決するために請求項1の発明は、第1の入力信号がデータ入力端子に接続され第2の入力信号がクロック入力端子に接続される第1のフリップフロップ回路と、該第1のフリップフロップ回路のデータ出力端子がデータ入力端子に接続され前記第2の入力信号の反転信号がクロック入力端子に接続される第2のフリップフロップ回路と、前記第1のフリップフロップ回路のデータ入力端子とデータ出力端子が2個の入力端子に各々接続される第1の排他的論理回路と、前記第1のフリップフロップ回路の反転データ出力端子と前記第2のフリップフロップ回路のデータ出力端子が2個の入力端子に各々接続される第2の排他的論理回路を有する位相比較回路において、前記第1のフリップフロップ回路のデータ入力端子と前記第1の排他的論理回路の一方の入力端子との間に第1の遅延回路を挿入し、前記第1のフリップフロップ回路の反転データ出力端子と前記第2の排他的論理回路の一方の入力端子との間に第1の反転遅延回路を挿入し、前記第1の排他的論理回路の出力端子に第2の遅延回路を接続したことを特徴とする位相比較回路とした。

【0017】請求項2の発明は、請求項1の発明の位相比較回路において、前記第1の反転遅延回路を削除して前記第1のフリップフロップ回路の反転データ出力端子と前記第2の排他的論理回路の前記一方の入力端子と

* 依存するため必ずしも一致しない。さらに、DOWN信号には、排他的論理回路EXOR2の遅延時間tdE23LHとtdE24LHがそれぞれ立ち上がり時と降下時に現れる。この2つの回路遅延により、DOWN信号のパルス幅は、次の式

$$(t_1 + tdE23LH)$$

の間を開放し、且つ前記第1のフリップフロップ回路のデータ出力端子と前記第2の排他的論理回路の前記一方の入力端子との間に第3の遅延回路を接続したことを特徴とする位相比較回路とした。

【0018】請求項3の発明は、請求項1の発明の位相比較回路において、前記第1の入力信号の反転信号がデータ入力端子に接続され前記第2の入力信号がクロック入力端子に接続される第3のフリップフロップ回路と、該第3のフリップフロップ回路のデータ出力端子がデータ入力端子に接続され前記第2の入力信号の反転信号がクロック入力端子に接続される第4のフリップフロップ回路と、前記第3のフリップフロップ回路のデータ入力端子に接続される第4の遅延回路と、前記第3のフリップフロップ回路の反転データ出力端子に接続される第2の反転遅延回路とを設け、且つ、前記第1の排他的論理回路を、前記第1の遅延回路の出力信号、前記第4の遅延回路の出力信号、前記第1のフリップフロップ回路のデータ出力端子の信号、および前記第3のフリップフロップ回路のデータ出力端子の出力信号を入力して排他的論理処理を行う第3の排他的論理回路に置換し、前記第2の排他的論理回路を、前記第1の反転遅延回路の出力信号、前記第2の反転遅延回路の出力信号、前記第2のフリップフロップ回路のデータ出力端子の信号、および前記第4のフリップフロップ回路のデータ出力端子の信号を入力して排他的論理処理を行う第4の排他的論理回路に置換したことを特徴とする位相比較回路とした。

【0019】請求項4の発明は、請求項3の発明の位相比較回路において、前記第1の反転遅延回路を削除して前記第1のフリップフロップ回路の反転データ出力端子と前記第4の排他的論理回路との間を開放し、且つ前記第1のフリップフロップ回路のデータ出力端子に第3の遅延回路を接続して該第3の遅延回路の出力信号を前記第1の反転遅延回路の出力信号に代えて前記第4の排他的論理回路に入力させ、前記第2の反転遅延回路を削除して前記第3のフリップフロップ回路の反転データ出力端子と前記第4の排他的論理回路との間を開放し、且つ前記第3のフリップフロップ回路のデータ出力端子に第5の遅延回路を接続して該第5の遅延回路の出力信号を前記第2の反転遅延回路の出力信号に代えて前記第4の排他的論理回路に入力させるようにしたことを特徴とする位相比較回路とした。

【0020】

【発明の実施の形態】 [第1の実施形態] 本発明の第1の実施形態を図1を用いて説明する。本実施形態の位相比較回路は、位相検出部1と位相差出力部2からなる。位相検出部1はフリップフロップ回路FF1(第1のフリップフロップ回路)、フリップフロップ回路FF3(第2のフリップフロップ回路)、インバータ回路I1、遅延回路D1、遅延回路D2(第1の遅延回路)、反転遅延回路D3(第1の反転遅延回路)で構成する。位相差出力部2は排他的論理回路EXOR1(第1の排他的論理回路)、EXOR2(第2の排他的論理回路)、遅延回路D4(第2の遅延回路)で構成する。

【0021】本実施形態の接続を図1を用いて説明する。位相検出部1では、本位相比較回路の入力であるデータ入力信号DIをフリップフロップFF1のデータ入力端子Dおよび遅延回路D2の入力端子に接続し、遅延回路D2の出力端子の信号を位相信号E1として出力する。本位相比較回路の入力であるクロック入力信号CIはフリップフロップ回路FF1のクロック入力端子CKとインバータ回路I1の入力端子に接続し、インバータ回路I1の出力端子は遅延回路D1の入力端子に接続し、遅延回路D1の出力端子はフリップフロップ回路FF3のクロック入力端子CKに接続する。フリップフロップ回路FF1のデータ出力端子Qはフリップフロップ回路FF3のデータ入力端子Dに接続するとともに、その信号を位相信号E2として出力する。フリップフロップ回路FF1の反転データ出力端子QNは反転遅延回路D3の入力端子に接続し、反転遅延回路D3の出力端子の信号は位相信号E3として出力する。フリップフロップ回路FF3のデータ出力端子Qの信号は位相信号E4として出力する。

【0022】位相差検出部2では、位相信号E1とE2*

$$\Delta t_{up} = t_1 + tdE1211 - (tD2 + tdE11LH)$$

のように表すことができる。すなわち、(3)式の Δt_{up} を0にする遅延 $tD2$ を発生する遅延回路D2を挿入することにより、UP信号が正確にデータ入力端子DIとクロック入力端子CIとの間の位相差を示すよう設計可能となる。

【0025】DOWN信号のパルス幅もクロック周期Tの1/2の幅に保たれる。フリップフロップ回路FF1※40

$$\Delta t_{down} = tD1 + t3 + tdE24LL - (t2 + tD3 + tdE23LH)$$

で示すことができる。ここで、 $tD1$ はフリップフロップ回路FF3に供給するクロック信号を遅延する遅延回路D1の遅延時間である。さらに、 $t2$ はフリップフロップ回路FF1においてクロック信号CIが立ち上がりから反転データ出力信号QNが出力するまでの遅延である。(4)式の Δt_{down} を0にする遅延 $tD3$ を★

$$(t1 + tset) < (tD1 + T/2) < (T + t1 - thold) \quad (5)$$

を満たすように設定する。ここで、 $tset$ はフリップ

*を排他的論理回路EXOR1の2個の入力に接続し、この排他的論理回路EXOR1の出力端子を遅延回路D4の入力端子に接続し、遅延回路D4の出力信号は本位相比較回路のUP信号として出力する。また、位相信号E3とE4は排他的論理回路EXOR2の2個の入力にそれぞれ接続し、この排他的論理回路EXOR2の出力信号は本位相比較回路のDOWN信号として出力する。

【0023】本実施形態の動作を、図2を用いて説明する。位相比較回路としての基本動作は図6に示した従来の位相比較回路と同様である。本位相比較回路は、データ入力信号DIとクロック入力信号CIの位相差を、UP信号のパルス時間幅とDOWN信号のパルス時間幅の差として出力する。DOWN信号は、クロック周期Tの1/2の幅で一定したパルス幅で出力する。UP信号は、データ入力信号DIに対してクロック入力信号CIの位相が進んだ時には、その進んだ時間差だけパルス幅がDOWN信号のパルス幅より狭くなり、逆にデータ入力信号DIに対してクロック入力信号CIの位相が遅れた時には、その遅れた時間差だけDOWN信号のパルス幅より太くなる。

【0024】位相比較回路が、位相比較精度を向上する原理を、図2を用いて説明する。なお、図2において、UP'は排他的論理回路EXOR1の出力信号、CIN'は遅延回路D1の出力信号である。本実施形態では、図6の回路の位相比較の基本動作に加えて、位相信号E1は遅延回路D2により時間 $tD2$ だけ遅延する。この遅延 $tD2$ の付加により、UP信号パルス幅が、データ入力信号DIとクロック入力信号CIとの間の位相差から増大する量は、従来の位相比較回路における(1)式と対比して、次式

$$(3)$$

※の反転データ出力端子QNに接続した反転遅延回路D3は、位相信号E2を時間 $tD3$ だけ遅延した位相信号E3を出力する。この遅延 $tD3$ の付加により、DOWN信号パルス幅が、クロック周期Tの1/2の幅から増大する量は、従来の位相比較回路における(2)式と対比して次式

$$(4)$$

★発生することにより、DOWN信号が正確にクロック周期Tの1/2の幅を示すよう設計可能となる。また、遅延回路D1はフリップフロップ回路FF1とFF3の間のデータ転送を誤りなく行うに必要な次の条件である。

1 d はフリップフロップ回路 F F 3 のデータホールド時間である。

【0026】加えて、UP 信号の降下時点と DOWN 信号の立ち上がり時点は、遅延回路 D 4 により等しくする*

$$t_2 + t_{D3} + t_{dE23LH} = t_1 + t_{dE12LL} + t_{D4}$$

を満足する値に設計することにより、UP 信号の降下時点と DOWN 信号の立ち上がり時間が等しくなる。

【0027】したがって、本実施形態によると、フリップフロップ回路 F F 1 と F F 3 の回路遅延 t_1 , t_2 , t_3 および排他的論理和回路 E XOR 1 と E XOR 2 の回路遅延 t_{dE12LL} , t_{dE11LH} , t_{dE24LL} , t_{dE23LH} により生じる位相出力誤差を、遅延回路 D 2, D 3 の遅延により 0 に近づけることが可能となる。また、遅延回路 D 1 により、フリップフロップ回路 F F 1 と F F 3 間のデータ転送のタイミング余裕が確保されるとともに、遅延回路 D 1 の遅延による位相出力誤差も位相回路 D 2, D 3 により 0 に近づけることができる。そして、UP 信号と DOWN 信号の立ち上がり時点と降下時点を遅延回路 D 4 により一致させることができるとなる。

【0028】本実施形態においては、位相信号 E 3 をフリップフロップ回路 F F 3 の反転データ出力端子 QN から出力している点が、従来の実施例と異なる。フリップフロップ回路 F F 1 のデータ出力端子 Q から、位相信号 E 2, E 3 をとり（但し、位相信号 E 3 については反転遅延回路 D 3 と同様な遅延をもつ遅延回路（第3の遅延回路）を介在させてから取り出す。）、さらにフリップフロップ回路 F F 3 の入力をとることも可能であり、同様に動作するが、このようにすると、そのデータ出力端子 Q の出力負荷が大きくなり高速な信号転送が困難になる問題がある。よって、本実施形態では、フリップフロップ回路 F F 1 の出力信号を、データ出力端子 Q と反転データ出力端子 QN の双方からとることにより、出力負荷を分散した。のことにより、本実施形態の位相比較回路は、従来の位相比較回路に比べ、より高速な動作が可能となる。

【0029】【第2の実施形態】本発明の第2の実施形態を図3を用いて説明する。本実施形態の位相比較回路は、位相検出部3と位相差出力部4からなる。位相差出力部4が第1の実施形態の位相差出力部2と異なる点は、排他的論理和回路 E XOR 1 を N AND 回路 N 1, N 2, N 3 で構成した排他的論理和回路（第3の排他的論理和回路）に置換し、排他的論理和回路 E XOR 2 を N AND 回路 N 4, N 5, N 6 で構成した排他的論理和回路（第4の排他的論理和回路）に置換し、位相信号 E 1, E 2, E 3, E 4 に加えて、それらの反転信号である反転位相信号 E 1 N, E 2 N, E 3 N, E 4 N を用いることである。

【0030】また、位相検出部3が第1の実施形態の位相検出部1と異なる点は、上記の反転位相信号 E 1 N, E 2 N, E 3 N, E 4 N を発生するため、データ入力信

* ことが可能になる。遅延回路 D 4 を排他的論理和回路 E XOR 1 の出力ラインに挿入することにより、UP 信号に遅延回路 D 4 の発生する遅延時間 t_{D4} を付加する。この遅延時間 t_{D4} を次式

$$(6)$$

号 D I に加えて反転データ入力信号 D IN を入力し、フリップフロップ回路 F F 2 (第3のフリップフロップ回路) とフリップフロップ回路 F F 4 (第4のフリップフロップ回路) を加え、さらに、反転位相信号 E 1 N と E 3 N の遅延時間を位相信号 E 1 と E 3 に対する遅延時間とは別に設定するために遅延回路 D 2' (第4の遅延回路) と反転遅延回路 D 3' (第2の反転遅延回路) を加えた点である。

【0031】本実施形態の接続を説明する。位相比較回路の入力であるデータ入力信号 D I は、フリップフロップ回路 F F 1 のデータ入力端子 D と遅延回路 D 2 の入力端子に接続する。位相比較回路の入力である反転データ入力信号 D IN は、フリップフロップ回路 F F 2 のデータ入力端子 D と遅延回路 D 2' の入力端子に接続する。

20 位相比較回路の入力であるクロック入力信号 C I は、フリップフロップ回路 F F 1, F F 2 の各クロック入力端子 C K とインバータ回路 I 1 の入力端子に接続する。インバータ回路 I 1 の出力端子は遅延回路 D 1 の入力端子に接続し、遅延回路 D 1 の出力端子はフリップフロップ回路 F F 3, F F 4 の各クロック入力端子 C K に接続する。

【0032】フリップフロップ回路 F F 1 のデータ出力端子 Q は、フリップフロップ回路 F F 3 のデータ入力端子 D に接続するとともに、その信号を位相信号 E 2 として、N AND 回路 N 2 の第1の入力端子に接続する。フリップフロップ回路 F F 1 の反転データ出力端子 QN は、遅延回路 D 3 の入力端子に接続する。フリップフロップ回路 F F 2 のデータ出力端子 Q は、フリップフロップ回路 F F 4 のデータ入力端子 D に接続するとともに、その信号を位相信号 E 2 N として、N AND 回路 N 1 の第1の入力端子に接続する。フリップフロップ回路 F F 2 の反転データ出力端子 QN は、遅延回路 D 3' の入力端子に接続する。フリップフロップ回路 F F 4 のデータ出力端子 Q は、その信号を位相信号 E 4 として、N AND 回路 N 4 の第1の入力端子に接続する。フリップフロップ回路 F F 4 のデータ出力端子 Q は、その信号を位相信号 E 4 N として、N AND 回路 N 5 の第1の入力端子に接続する。

【0033】遅延回路 D 2 の出力端子は、その信号を位相信号 E 1 として、N AND 回路 N 1 の第2の入力端子に接続する。遅延回路 D 2' の出力端子は、その信号を位相信号 E 1 N として、N AND 回路 N 2 の第2の入力端子に接続する。反転遅延回路 D 3 の出力端子は、その信号を位相信号 E 3 として、N AND 回路 N 5 の第2の入力端子に接続する。反転遅延回路 D 3' の出力端子

は、その信号を位相信号E 3 Nとして、NAND回路N 4の第2の入力端子に接続する。

【0034】位相差出力部4の接続を説明する。位相差出力部4では、NAND回路N 1の出力端子をNAND回路N 3の第2の入力端子に接続し、NAND回路N 2の出力端子をNAND回路N 3の第1の入力端子に接続する。また、NAND回路N 4の出力端子をNAND回路N 6の第2の入力端子に接続し、NAND回路N 5出力端子をNAND回路N 6の第1の入力端子に接続する。さらに、NAND回路N 3の出力端子は、遅延回路D 4の入力端子に接続し、遅延回路D 4の出力端子の信号は、本位相比較回路のUP信号として出力する。NAND回路N 6の出力端子の信号は、本位相比較回路のD *

$$\Delta t_{up1} = t_1 + tdE12LL - (tD2 + tdE11LH) \quad (7)$$

$$\Delta t_{up2} = t_1 + tdE12HL - (tD2 + tdE11HH) \quad (8)$$

$$\begin{aligned} \Delta t_{down1} &= tD1 + t3 + tdE24LL - (t2 + tD3 + tdE23LH) \\ &\quad - (t2 + tD3 + tdE23HH) \end{aligned} \quad (9)$$

$$\begin{aligned} \Delta t_{down2} &= tD1 + t3 + tdE24HL \\ &\quad - (t2 + tD3 + tdE23HH) \end{aligned} \quad (10)$$

で示すことができる。

【0037】上記(7)式と(8)式を比較すると前記第1の実施形態の位相差精度が理解できる。すなわち、 Δt_{up1} を0にするために、遅延回路D 2の遅延量t D 2を「 $t_1 + tdE12LL - tdE11LH$ 」なる値に設定しても、 Δt_{up2} は「 $tdE12HL - tdE12LL + tdE11LH - tdE11HH$ 」となり、0にはならない。排他的論理回路EXOR 1回路は、第2の入力信号(E 2)がLからHに遷移して出力端子がLに遷移する際の遅延 E12HL |と、第2の入力信号(E 2)がHからLに遷移して出力端子がLに遷移する際の遅延 E12LL |が一般に異なるためである。そして、排他的論理回路EXOR 1の第1の入力信号(E 1)がHからLに遷移して出力端子がHに遷移する際の遅延 E11LH |と、第1の入力信号(E 1)がLからHに遷移して出力端子がHに遷移する際の遅延 E11HH |も一般に異なる。

※

$$\begin{aligned} \Delta t_{up1} &= t_1 + tdN22LH + tdN31HL \\ &\quad - (tD2' + tdN21HL + tdN32LH) \end{aligned} \quad (11)$$

$$\begin{aligned} \Delta t_{up2} &= t_1 + tdN12LH + tdN32HL \\ &\quad - (tD2 + tdN11HL + tdN31LH) \end{aligned} \quad (12)$$

$$\begin{aligned} \Delta t_{down1} &= tD1 + t3 + tdN54LH \\ &\quad - (t2 + tD3' + tdN53HL + tdN65LH) \end{aligned} \quad (13)$$

$$\begin{aligned} \Delta t_{down2} &= tD1 + t3 + tdN44LH \\ &\quad - (t2 + tD3 + tdN43HL + tdN64LH) \end{aligned} \quad (14)$$

で示すことができる。

【0040】ここで、t D 2は遅延回路D 2の遅延時間、t D 2'は遅延回路D 2'の遅延時間、t D 3は遅延回路D 3の遅延時間、t D 3'は遅延回路D 3'の遅延時間である。また、tdN*#LHは、NAND回路N *(*は1, 2, 3, 4, 5, 6のいずれか)の遅延時間であり、特に、入力信号E #(#は1, 2, 3, 4のい

* OWN信号として出力する。

【0035】本実施形態では、回路数が増加するが、第1の実施形態の位相差出力の精度をさらに向上させることができる。まず図4を用いて、第1の実施形態での位相差出力精度の向上の限界を説明する。図4は、図2のUP信号とDOWN信号のそれぞれの連続する2パルスに注目して、パルス幅を示した図である。図2と同様に回路遅延を0とした信号波形を基準にして、各回路遅延を付加してUP信号とDOWN信号幅を示した。

【0036】図4によると、UP信号の連続するパルスの幅の位相差からのずれ Δt_{up1} と Δt_{up2} 、 Δt_{down1} と Δt_{down2} は、以下の式

$$\Delta t_{up1} = t_1 + tdE12LL - (tD2 + tdE11LH) \quad (7)$$

$$\Delta t_{up2} = t_1 + tdE12HL - (tD2 + tdE11HH) \quad (8)$$

$$\begin{aligned} \Delta t_{down1} &= tD1 + t3 + tdE24LL - (t2 + tD3 + tdE23LH) \\ &\quad - (t2 + tD3 + tdE23HH) \end{aligned} \quad (9)$$

$$\begin{aligned} \Delta t_{down2} &= tD1 + t3 + tdE24HL \\ &\quad - (t2 + tD3 + tdE23HH) \end{aligned} \quad (10)$$

※【0038】したがって、前記した第1の実施形態では、排他的論理回路EXOR 1の遅延を入力条件に対して全て等しくしない限り、2回に1回の割合でUP信号のパルス幅と表示すべき位相差の間に誤差が生ずる。DOWN信号も同様に、(9)式により、 Δt_{down1} を0にするように遅延時間t D 3を設定しても、(10)式の Δt_{down2} が0にならない問題がある。

【0039】そこで、第2の実施形態では、UP信号とDOWN信号の連続する2つパルス幅を等しくすることができるようとした。図5を用いて説明する。図4の場合と同様に、回路遅延を0とした信号波形を基準にして、各回路遅延を付加してUP信号とDOWN信号幅を示した。図5によるとUP信号の連続するパルスの幅の位相差からのずれ Δt_{up1} と Δt_{up2} および Δt_{down1} と Δt_{down2} は、以下の式

すれか)あるいは、NAND回路N 3, N 6の入力信号となるNAND# (#は1, 2, 4, 5のいずれか)の出力信号がLに遷移してから、NAND回路* (*は1, 2, 3, 4, 5, 6のいずれか)の出力信号がHに遷移するまでの遅延時間である。また、tdN*#LHは、NAND回路N * (*は1, 2, 3, 4, 5, 6のいずれか)の遅延時間であり、特に、入力信号E # (#は1,

2, 3, 4のいずれか)あるいは、NAND回路N3, N6の入力信号であるNAND#(#=1, 2, 4, 5のいずれか)の出力信号がHに遷移してから、NAND回路N*(*=1, 2, 3, 4, 5, 6のいずれか)の出力信号がLに遷移するまでの遅延時間である。

【0041】(11), (12), (13), (14)式において、tD2, tD2', tD3, tD3'以外の変数は、回路によりただ一つの値を持つ(tD1は設計者が設定)。したがって、遅延時間tD2, tD2', tD3, tD3'は、 Δt_{up1} , Δt_{up2} , Δt_{down1} , Δt_{down2} を全て0にするように設定することが可能となる。よって、本実施形態によると、位相比較回路の出力信号であるUP信号とDOWN信号の連続する2パルスのパルス幅に付加される誤差 Δt_{up1} , Δt_{up2} , Δt_{down1} , Δt_{down2} をすべて補償することができる。

【0042】なお、本実施形態においても、反転遅延回路D3を通常の遅延回路(第3の遅延回路)に置換してその入力端子をフリップフロップ回路FF1のデータ出力端子Qに接続し、また反転遅延回路D3'を通常の遅延回路(第5の遅延回路)に置換してその入力端子をフリップフロップ回路FF2のデータ出力端子Qに接続しても上記と同様な動作を行わせることができるが、それらデータ出力端子Qの出力負荷が大きくなり、高速化にはそぐわない嫌いがある。

【0043】本発明の第2の実施形態によると、本発明の第1の実施形態の効果に加えて、排他的論理回路における入力端子、入力遷移方向、出力遷移方向の別により生じる、UP信号とDOWN信号の連続する2パルスの位相出力誤差を、0に近づけることが可能となる。

【0044】

【発明の効果】以上のように本発明によれば、2つの入力信号の位相差を、UP信号とDOWN信号のパルス幅の差として、高い精度で出力できるようになるという利点がある。

*

*【図面の簡単な説明】

【図1】本発明の第1の実施形態の位相比較回路の回路図である。

【図2】図1の位相比較回路において回路遅延による位相出力信号誤差を補正することを示すタイミング図である。

【図3】本発明の第2の実施形態の位相比較回路の回路図である。

【図4】図1の位相比較回路において連続する2パルスの位相誤差の補正が困難であることを示すタイミング図である。

【図5】図3の位相比較回路において連続する2パルスの位相誤差を補正可能であることを示すタイミング図である。

【図6】従来の位相比較回路の回路図である。

【図7】図6の位相比較回路のデータ入力信号とクロック入力信号の位相が一致している場合の動作を示す図であり、回路遅延を考慮しないタイミング図である。

【図8】図7の位相比較回路のクロック入力信号の位相がデータ入力信号の位相よりT/4進んでいる場合の動作を示す図であり、回路遅延を考慮しないタイミング図である。

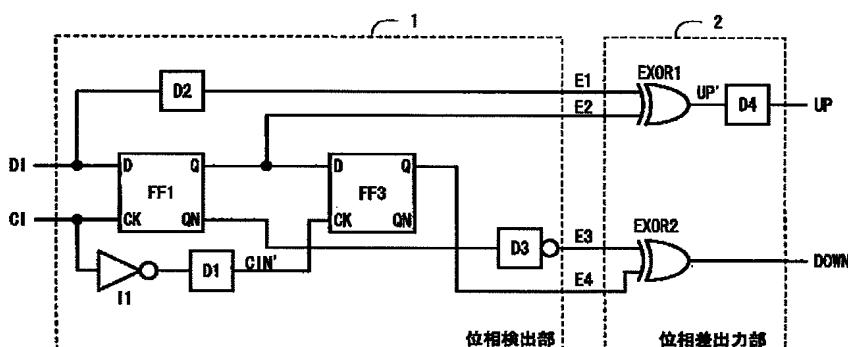
【図9】図6の位相比較回路のデータ入力信号とクロック入力信号の位相が一致している場合の動作を示す図であり、回路遅延を考慮した場合、出力位相誤差を生じることを示すタイミング図である。

【符号の説明】

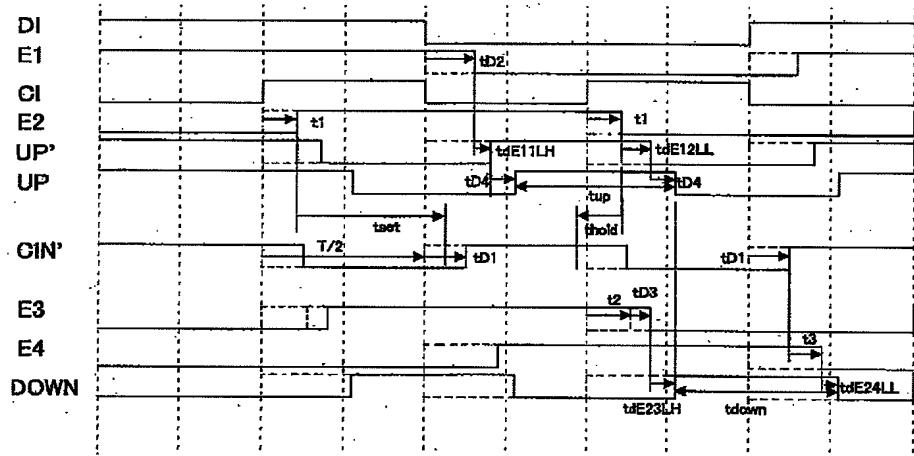
1, 3, 5:位相検出部、2, 4, 6:位相差出力部
FF1~FF4:フリップフロップ回路

30 EXOR1, EXOR2:排他的論理回路
D1, D2, D2', D4:遅延回路
D3, D3':反転遅延回路
I1:インバータ回路
N1~N6:NAND回路

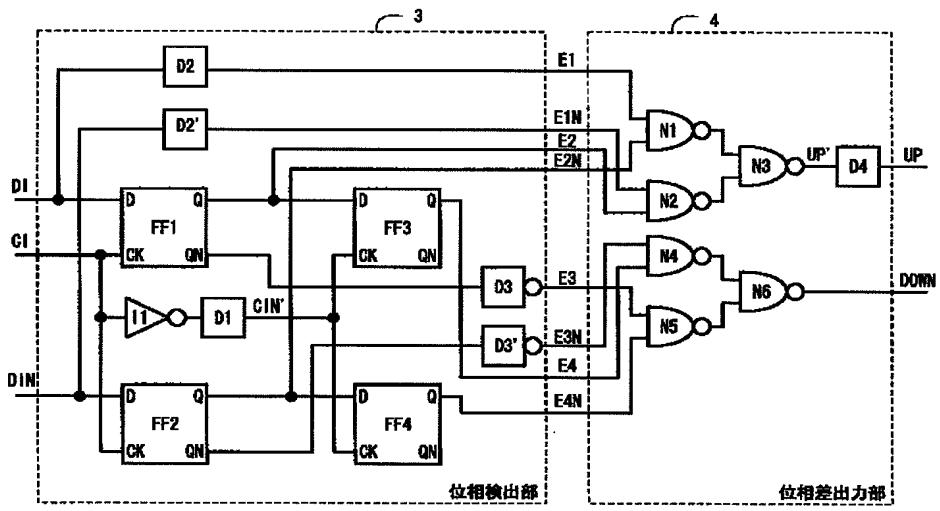
【図1】



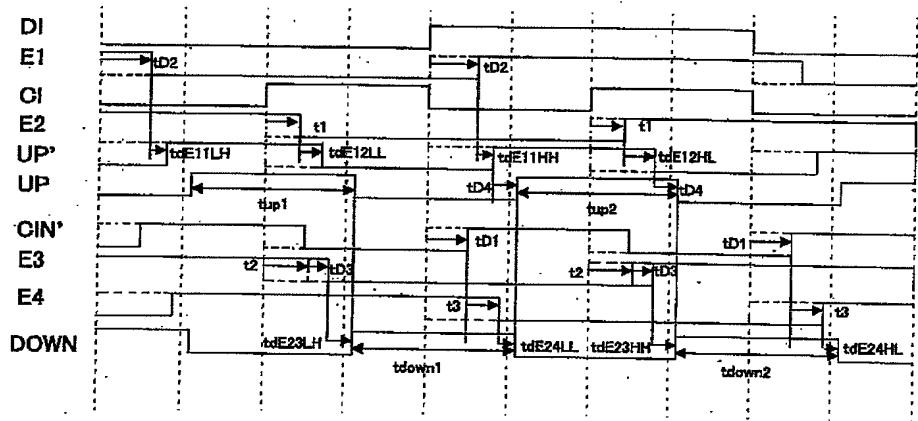
【図2】



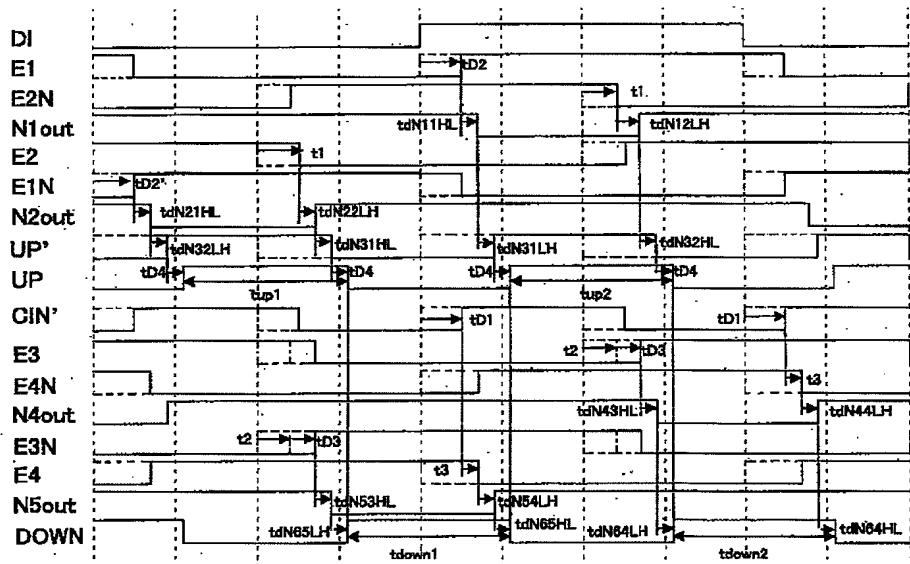
【図3】



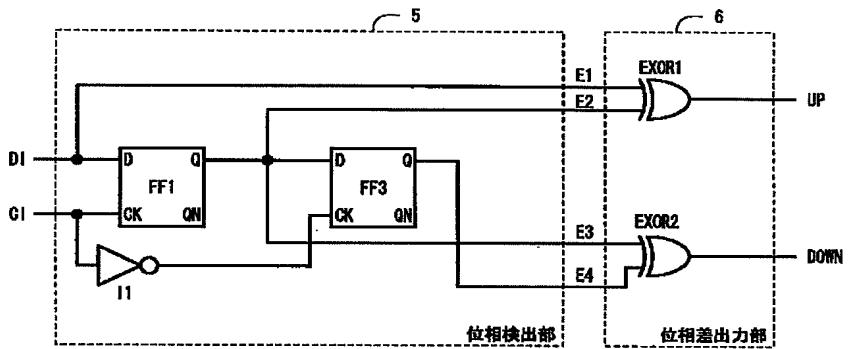
【図4】



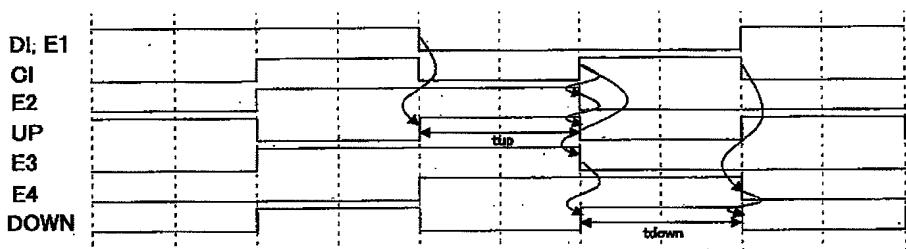
【図5】



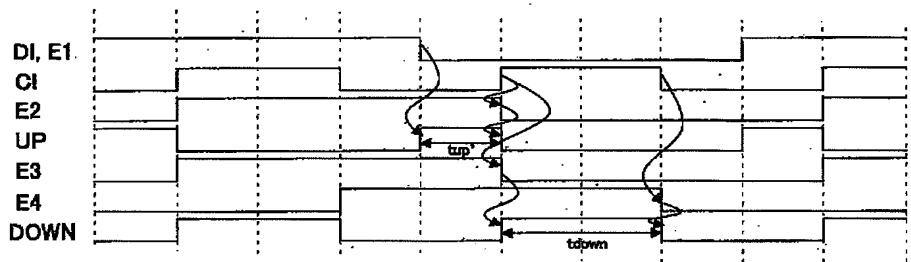
【図6】



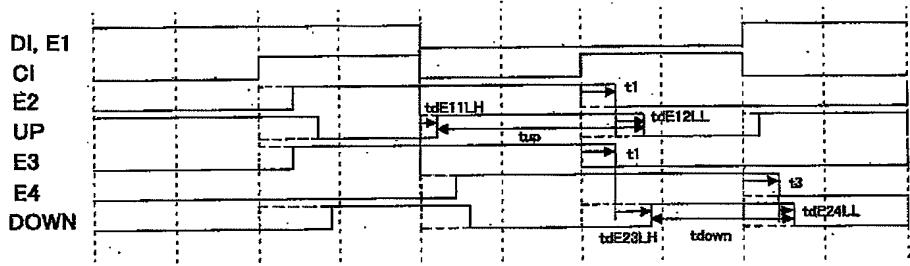
【図7】



【図8】



【図9】



フロントページの続き

F ターム(参考) 5J039 JJ07 JJ13 JJ19 JJ20 KK09
KK10 KK11
5J106 AA05 CC21 CC58 DD47 DD48
KK05